

Téma 32

Petr Kotál (kotal.p@seznam.cz)

Zadání:

Realizační prvky logických obvodů. Logický řídicí systém, řadič řídicího systému. Mikroprogramové automaty, volně programovatelné automaty PLC, mikropočítačové prostředky. Profesionální prostředky logického řízení. I/O podsystém logického řízení. Příklady implementace logického řízení.

Struktura logických obvodů

diskrétní součástky (tranzistory, diody, odpory, kondenzátory)

hybridní

integrované (monolitické - aktivní i pasivní prvky jsou realizované na křemíkové destičce).

Základní struktury: **DL - Diodová logika**, **RTL, RCTL - Logika odporově – tranzistorová**, **ECL - emitorově vázaná logika**, **CTL - komplementární logika**, **DTL - diodo-tranzistorová logika**, **TTL - logika tranzistor-tranzistor**

Definice složitosti číslicového integrovaného obvodu:

SSI - Small Scale Integration obvody s malou integrací (<15 hradel)

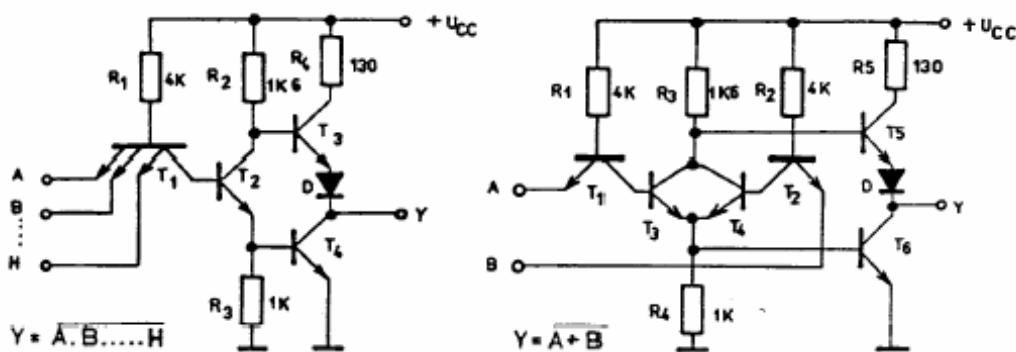
MSI - Medium Scale Integration obvody střední integrace (<100 hradel)

LSI - Large Scale Integration obvody s velkou integrací (<5000 hradel)

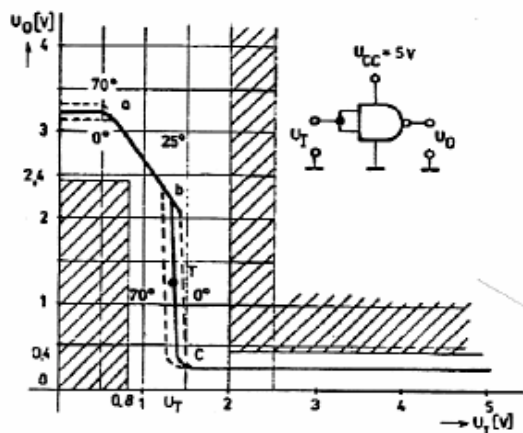
VLSI - Very Large Scale Integration obvody s velmi velkou integrací (>5000 hradel)

Logické obvody TTL:

Základními prvky realizační soustavy TTL jsou součinnové (NAND) a součtové (NOR) hradlo, jejichž struktura je znázorněna na obr.3.5.



Obr.3.5. Hradla NAND a NOR



Přenosová charakteristika:

Typické hodnoty napěťových úrovní:

$U_{CC} = 5V$ $\gamma = 25^\circ$
 $U_{OL} = 0,3V$ $U_{OH} = 3,25V$
 $U_T = 1,3V$

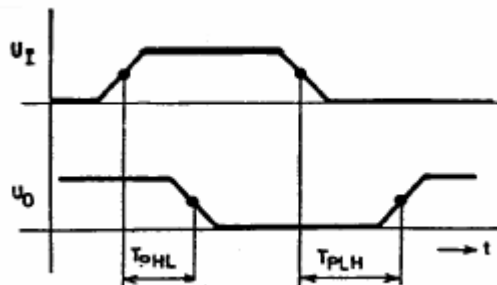
Mezní parametry napěťových úrovní:

$U_{IL} - \text{max } 0,8V$ $U_{OL} - \text{max } 0,4V$
 $U_{IH} - \text{min } 2V$ $U_{OH} - \text{min } 2,4V$

Dynamické parametry:

Doby zpoždění hradla jsou pro oba typy změn úrovně rozdílné. Typické hodnoty zpoždění hradla:

Zpoždění: $T_{pHL} = 7 \text{ ns}$
 $T_{pLH} = 11 \text{ ns}$
 délka hrany: hrana $< 10 \text{ ns}$



Logický zisk:

Logickým ziskem obvodu N rozumíme číslo, které udává, kolik elementárních vstupů dalších obvodů

může být na výstup daného obvodu připojeno při zaručení výrobcem definovaných logických úrovní. Pro TTL se udává $N = 10$.

Šumová imunita:

Hlavními příčinami poruch mohou být:

- a) stejnosměrné rušivé signály, např. náhodné změny napájecího napětí, změny potenciálů zemí v závislosti na odběru, parazitní pulsy s délkou pulsu delší než 20 ns, a.j.
- b) impulsní signály s dobou kratší než 20 ns přicházející na vstupy obvodů kapacitní vazbou, z proudových impulsů odběru a j.

Podle doby trvání rušivého signálu vůči době zpoždění hradla T_p lze šumovou imunitu rozdělit na stejnosměrnou a impulsní.

Variety výstupních obvodů hradel TTL:

Kromě základní struktury výstupu hradla s logickým ziskem $N=10$ se vyrábí obvody se **zvýšeným logickým ziskem $N=30$** , obvody s **otevřeným kolektorem** a obvody s **třístavovým výstupem**.

Parametry a srovnání obvodů TTL řady N, H, L, S, LS:

Kromě standardní řady N jsou vyráběny další řady obvodů, které se liší v proudových statických a dynamických parametrech: SN74N - standardní řada

SN74L - Low Power (s malou spotřebou)

SN74H - High Speed (rychlá)

SN74S - rychlá s Shottky přechody

SN74LS - kombinace řady L a S

Rušení:

základní dělení: vnitřní
 vnější

různé důvody vzniku (vnější rušení, nepřizpůsobené vedení, přeslechy, nepoužité vstupy, rušení v obvodech napájení), různé způsoby odstranění (stínění, zemnění, přestavba zařízení, pomocné obvody).

Obvody pro úpravu vstupních signálů:

Účelem obvodů pro úpravu vstupních signálů je zpracovat vstupní signály do zařízení a převést je na logickou úroveň TTL logiky. Vstupními signály mohou být jak elektrické tak i neelektrické signály, které je nutné napěťově upravit a vytvarovat.

Obvody pro úpravu výstupních signálů:

Obvody pro úpravu výstupních signálů mají za úkol úrovnově převést a výkonově zesílit logické signály TTL tak, aby byly použitelné v návazných elektronických zařízeních, nebo aby mohly přímo ovládat akční členy připojené na řízený proces.

Obvody pro přenos dat:

Hlavní úskalí přenosu dat na větší vzdálenost bude kromě přizpůsobení vedení (tj. vnitřní rušení, odrazy na vedení) vnější rušení způsobené indukci parazitních signálů do vedení popřípadě úrovnový rozdíl zemních potenciálů vysílače a přijímače. Řeší se **zvýšením aktivní úrovně**, přenosem signálu po **symetrické lince**, **galvanickým oddělením**.

Monostabilní klopné obvody, generátory pulzů,

Kombinační logické obvody:

Kodéry jsou kombinační logické obvody, které převádějí kód 1 z n na vybraný typ kódu.

Dekodéry jsou kombinační logické obvody, které převádějí vybraný kód na kód 1 z n.

Převodníky kódů (rekodéry) jsou kombinační logické obvody, které převádějí jeden kód na druhý.

Aritmetické obvody: Základní operací, pomocí níž lze realizovat všechny ostatní je sčítání. Podle algoritmu sčítání je možné realizovat obvody sčítání jako paralelní (součet všech bitů datového slova najednou), serioparalelní (postupný součet po skupinách bitů) a seriové (postupný součet vždy po 1 bitu).

Komparátory čísel: Jejich úkolem je bitově porovnávat mezi sebou dvě vícebitová čísla.

Multiplexery, demultiplexery: Přenos jednoho z n vstupů na výstup, respektive ze vstupu na jeden z n výstupů.

Syntéza kombinačních logických obvodů obvodu MSI, LSI:

U kombinačních logických funkcí se snažíme využít funkci relativně složitých (MSI, LSI) standardních obvodů k realizaci zadané funkce tak, abychom ušetřili návrh plošného spoje nutného při realizaci obvodu nízké integrace. Využívají se **multiplexery**, **demultiplexery**, **permanetní paměti**.

Sekvenční logické obvody:

Základními obvody sekvenční části logických obvodů TTL jsou klopné obvody typu JK a D. Ty realizují následující funkce:

Čítače: synchronní, asynchronní

Děliče frekvence pevné, programovatelné (umožňují měnit dělicí poměr)

Vyrovňovací paměti

Posuvné registry

Syntéza sekvenčních logických obvodů obvodu MSI a LSI:

Stejně jako u kombinačních tak i u sekvenčních logických funkcí se snažíme využít funkci relativně složitých standardních obvodů k realizaci zadané funkce tak, abychom ušetřili návrh plošného spoje nutného při realizaci obvodu nízké integrace. Zejména se využívají funkce **čítačů** a **registrů**, které v řadě případů tvoří jádro realizované sekvenční funkce. Dále se používají **multiplexery**, **demultiplexery** a **paměti**.

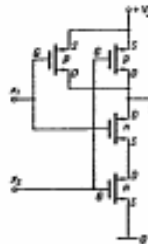
Logické obvody CMOS:

Vyráběny technologií MOS. Mezi významné vlastnosti těchto obvodů patří:

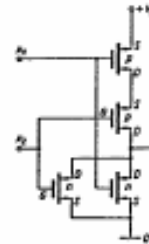
1. velký rozsah napájecího napětí (standardně 5V)
2. velmi malá spotřeba
3. s velikostí napájecího napětí U_{cc} roste šumová imunita

Na obr. hradla NAND a NOR.

NAND



NOR



Přehled základních parametrů a srovnání s obvodů TTL uvádí následující tabulka:

Parametr	Ozn.	T T L		C M O S		Jedn.
		74 N	74 LS	4000	74 HC	
Napájecí napětí	U_{cc}	5	5	5 (3-18)	5 (2-6)	V
Vstupní napětí	H U_{IH}	>2	>2	>3.5	>3.5	V
	L U_{IL}	<0.8	<0.8	<1.5	<1.5	V
Vstupní proud	H I_{IH}	<40	<10	<0.1	<1	mA
	L I_{IL}	<-1600	<200	<-0.1	<-1	mA
Výstupní napětí	H U_{OH}	>2.4	>2.4	4.99	4.99	V
	L U_{OL}	<0.4	<0.4	0.05	0.05	V
Výstupní proud	H I_{OH}	0.4	1	-0.5	-4	mA
	L I_{OL}	16	20	0.5	4	mA
Zpoždění výst.	HL T_{PHL}	7	5	50	6	ns
	LH T_{PLH}	11	9	50	6	ns
Šumová imunita	H/L	2/1	2/1	2/2	1,5/1,5	V
Max. frekvence	f_m	25	50	8	60	MHz
Log. zisk	N	10	20	50(1LS)	50(1LS)	
Přikon hradla	P	10^7	$2 \cdot 10^8$	$10 (10^9)$	$10 (10^9)$	nW

Návrh a realizace logických systémů programovatelnými obvody:

Výhodné je použití LSI a VLSI obvodů s pevnou nebo přeprogramovatelnou funkcí. Propojení a přizpůsobení těchto LSI obvodů v systému je zajišťováno propojovací strukturou z obvodů SSI a MSI. Ty lze nahradit i polozákaznickým respective zákaznickým obvodem, který funkci těchto obvodů bude nahrazovat a výsledné řešení zjednoduší.

Polozákaznický obvod – PLD:

Jsou to univerzální logické obvody, u nichž lze programovat vnitřní funkce (kombinační i sekvenční) a také i rozložení vývodů pouzdra. Do této skupiny PLD obvodů patří programovatelné paměti PROM, programovatelná logická pole PAL a FPLA. Všechny tyto obvody mají základní princip stejný t.j. možnost programování funkce přepalováním spojky (pojistky), která definuje v daném adresovaném uzlu logickou úroveň L nebo H. Propojení uzlů se realizuje AND/OR kombinačním polem.

Obvody PLD tedy představují připravenou tříúrovňovou síť (negace, součin, součet) ve kterém je možné provést výběr konkrétního zapojení ponecháním nebo zrušením (přepálením) připraveného spoje. Strukturálním modelem musí být logický výraz v disjunktivní formě. Pomocí první matice se vytváří dílčí části příslušné součinovým termům (pole AND), pomocí druhé matice se vytváří výsledná realizace (pole OR, NOR, EXOR).

GAL (Generic Array Logic):

Obvody typu GAL jsou moderní programovatelné obvody technologie E2CMOS, jejichž rychlost je srovnatelná s bipolárními obvody ale s mnohem menší spotřebou. Struktura i složitost těchto obvodů je obdobná se strukturou PLD, stavebnice však vzhledem k složitější univerzální struktuře obsahuje menší počet typů.

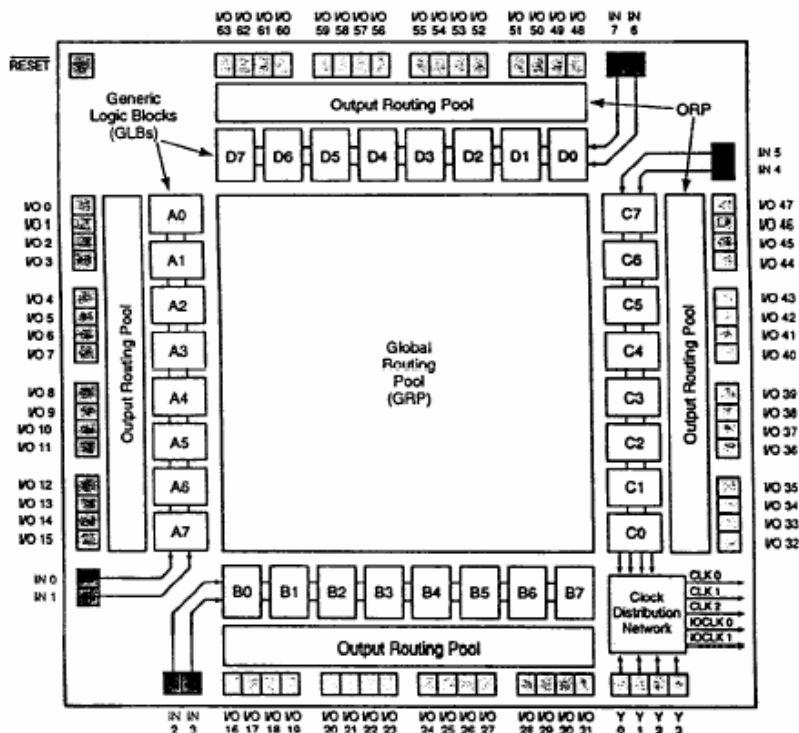
Proti bipolárním obvodům PLD mají obvody GAL mnohem menší spotřebu, dovolují reprogramovat obsah, což snižuje náklady na vývoj systému, mají možnost testování funkce před nahráním obsahu, což vylučuje celou řadu chyb způsobených chybnou funkcí (chyba pojistky u PLD).

Porovnání jednotlivých struktur mezi sebou a jejich omezení ukazuje následující tabulka:

Typ	AND	OR	OUT
PROM	pevné	program	TS,OC
FPLA	program	program	TS,OC,REG
PAL	program	pevné	TS,I/O,REG
GAL	program	pevné	univerzální - uživatel

Obvody pLSI a ispLSI (programable LSI & in-system programable LSI):

Jednou z velmi efektivních a hojně používaných stavebnic složitých logických systémů je stavebnice programovatelných LSI obvodů fy Lattice Semiconductor Corp. Jsou to komplexní E2CMOS obvody s rozsáhlou strukturou (2000-8000 PLD hradel), široce programovatelné a uživatelsky velmi přívětivé.



Obr.3.149. Architektura obvodu pLSI 1032

Obvody **pLSI** jsou externě elektricky programovatelné a reprogramovatelné, obvody **ispLSI** jsou programovatelné a reprogramovatelné přímo ze systému. Každý obvod obsahuje několik univerzálních programovatelných logických bloků GLB (Generic Logic Block), které umožňují velkou flexibilitu návrhu a použití obvodu.

Funkce bloků programovatelného obvodu je následující:

- GRP(Global Routing Pool) - hlavní propojovací pole pro celou interní strukturu
- ORP (Output Routing Pool) - propojovací pole pro přiřazení výstupů univerzálních programovatelných bloků GLB k pinům obvodu
- GLB (Generic Logic Block) - vlastní jádro univerzální programovatelné logiky (bloky A0-A7, B0-B7, C0-C7, D0-D7)
- CDN (CLK Distribution Netw.) - blok programovatelné generace hodin
- I/O C (I/O Cells) - konfigurovatelné I/O obvody
- Megablok - skupina 8 GLB a 16 I/O C propojených polem GRP

XILINX EPLD - EPROM Programable Logic Device FPGA - Field Programable Gate Array

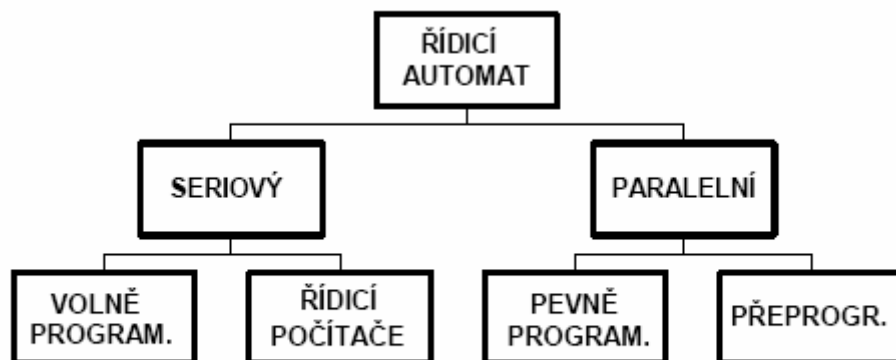
Programovatelné logické obvody vyráběné technologií CMOS.

Obvody EPLD jsou strukturované obvody založené na PAL architektuře. Programovaná struktura obvodu je nahrávána do EPROM paměti.

Obvody FPGA jsou široce programovatelné logická pole s jednoduchými funkčními bloky. Realizují funkci zákaznických LSI obvodů s možností reprogramování ze systému. Programová struktura obvodu je nahrávána do RAM paměti, která je součástí obvodu.

Realizace řídicích automatů:

Řídicí systém je zařízení, které realizuje algoritmus logického řízení technologického objektu. Tento algoritmus řízení lze realizovat v zásadě dvěma způsoby: paralelně - pevně zapojení na základě algoritmu řízení navrženého hardware ("zadrátovaný" algoritmus) nebo seriově - pomocí programu realizujícího algoritmus řízení pro univerzální výpočetní prostředky. Na obr.5.1 jsou znázorněny možné způsoby realizace řídicích automatů pro logické řízení.



Obr.5.1. Realizace řídicích automatů

Paralelní řídicí systém realizuje například přestavitelná kolíčková matice, diodová matice, programovatelné logické obvody PLD a pod.

Pro seriovou realizaci řídicího systému se používají volně programovatelné automaty (boolské procesory, programovatelné automaty PLC a.j) nebo univerzální výpočetní prostředky - řídicí počítače.

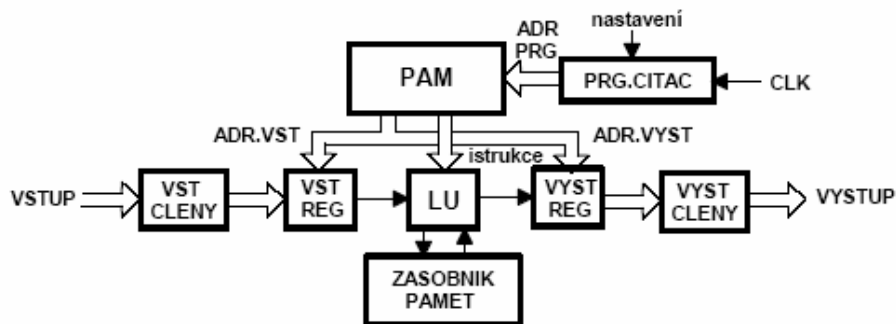
Řadič: Ústřední část řídicího systému. Jeho úkolem je řídit celou činnost systému a zajišťovat realizaci algoritmu řízení jako sekvence jednotlivých operací zbývajících bloků řídicího systému. V podstatě je to sekvenční logický obvod, jehož stav odpovídá okamžitému požadovanému stavu řídicího bloku (požadovanému stavu řešení algoritmu), vstupem jsou signály o stavu řídicího bloku (o stavu řešení algoritmu), výstupem jsou řídicí signály zajišťující požadovaný stav. Řadič může ale nemusí mít další vstup - externí řídicí signály, které umožňují modifikaci základního algoritmu řízení (změna programu).

Mikroprogramové řadiče: Tvoří zvláštní skupinu řadičů s instrukčním řízením. Paměť řadiče je většinou typu ROM, ale v některých případech její část může být i typu RAM. Obsah paměti vychází ze znalosti požadované sekvence jak řídicích signálů, tak i následných stavů. Realizace jednotlivých instrukcí (algoritmů), o nichž je informace uložena v instrukčním registru, je prováděna sekvencí elementárních mikroinstrukcí (operací) řadiče.

Řídící počítače: Do této skupiny patří univerzální výpočetní prostředky a zejména výpočetní prostředky přizpůsobené pro řízení technologických procesů - řídicí počítače. Rozdíl mezi standardními počítači (procesory) a řídicími počítači není příliš velký. Zásadní rozdíl je v možnostech komunikace a připojení na technologický proces a v podpůrných podsystémech a jejich vlastnostech mezi něž patří výkonný a propracovaný přerušovací systém, rozsáhlý podsystém vstupů a výstupů, hlídací podsystém (havarijní stavy technologie, uváznutí programu, hlídání stavu snímačů a pod.), obvody reálného času, podsystém vizualizace procesu a další. Zásadním požadavkem je spolehlivost obvodového a programového vybavení řídicího systému. Je samozřejmé, že k těmto hardwarovým požadavkům na řídicí systém neodmyslitelně patří použití spolehlivého a výkonného operačního systému reálného času.

Volně programovatelné automaty: patří do třídy specializovaných řídicích počítačů, které jsou určeny pro práci s boolskými výrazy a tím i s jednobitovými daty. Kromě této své základní funkce jsou většinou programovatelné automaty vybaveny celou řadou dalších podpůrných funkcí jako např. autonomními spojitými regulátory, obvody reálného času, vizualizací řízeného procesu, specifickými vstupy a výstupy pro řízení standardních akčních členů a řadou dalších. Jádrem automatu je většinou univerzální výpočetní procesor, který tyto funkce umožňuje realizovat. Volně programovatelný automat lze programovat buď v instrukcích použitého centrálního procesoru nebo má vytvořen speciální instrukční soubor pro realizaci logického řízení. Velmi často se používají konvenční prostředky algebraického nebo grafického zápisu algoritmu logického řízení (žebříčková – kontaktní schemata, Grafcet, Petriho sítě).

Boolské procesory: Struktura těchto mikroprocesorů je optimalizována z hlediska jejich specializovaného použití. Tento přístup také definuje jejich vnitřní architekturu, která je podle určení u jednotlivých obvodů odlišná. Vznik logických (boolských) mikroprocesorů podmínila potřeba nahradit jednoduché kombinační a sekvenční automaty pro řízení technologických procesů prvky, které by měly možnost pružného přizpůsobení potřebám rychlé a jednoduché změny programu řízení. Tyto procesory jsou určeny pro zpracování jednobitových dat a k realizaci logických funkcí a logického rozhodování. Použití univerzálních mikroprocesorů pro toto řízení by nevyužívalo všechny jejich možnosti a bylo by neúměrně drahé. Struktura boolského procesoru degeneruje na jednoduchý procesor, u kterého je jednobitová datová sběrnice, velmi jednoduchý instrukční soubor (max 16 instr.), v pouzdře jsou přímo naintegrované vstupní a výstupní členy. U nejjednodušších verzí instrukční soubor ani nedovoluje nesequenční skoky v programu a program je vykonáván jako pevný sled instrukcí vykonávaných cyklicky. Jednoduché blokové schéma logického mikroprocesoru je na obr.5.34.



Obr.5.34. Obecná struktura logického mikroprocesoru